

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hyun-Don Oh et al.

Serial No.: [NEW]

Attn: Applications Branch

Filed: August 28, 2001

Attorney Docket No.: SEC.836

For: EQUIPMENT FOR FABRICATING A SEMICONDUCTOR PRODUCT

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Date: August 28, 2001

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

Appln. No. 2000-66346

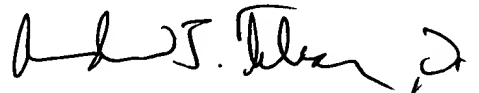
filed November 9, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

2/ Priority
Paper
11/3/01
A. Well

11000 U.S. PTO
09/939556



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

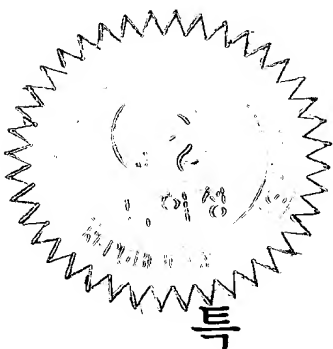
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 66346 호
Application Number

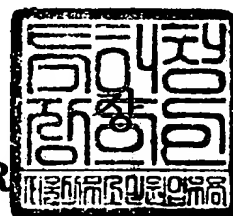
출원년월일 : 2000년 11월 09일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



2001 01 29
년 월 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.11.09
【국제특허분류】	H01L
【발명의 명칭】	반도체 제조 설비
【발명의 영문명칭】	Equipiment for farbricating semiconductor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	1999-005679-8
【발명자】	
【성명의 국문표기】	오현돈
【성명의 영문표기】	OH,Hyun Don
【주민등록번호】	700411-1696911
【우편번호】	442-372
【주소】	경기도 수원시 팔달구 매탄2동 111-73 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	박태신
【성명의 영문표기】	PARK,Tae Sin
【주민등록번호】	640918-1462715
【우편번호】	441-450
【주소】	경기도 수원시 권선구 호매실동 402-35호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

【수수료】

· 【기본출원료】	18	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】	234,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 복수개의 단위 공정이 스텝 바이 스텝(step by step) 방식으로 연속 진행될 때, 임의의 단위 공정중 발생할 수 밖에 없는 공정 저해 물질에 의해 나머지 단위 공정이 영향 받는 것을 최소화하여 패턴 불량 발생 빈도를 감소시킨 반도체 제조 설비에 관한 것으로, 본 발명에 의하면, 반도체 제조 설비에서 각기 다른 복수개의 단위 공정이 동시에 진행될 때, 임의의 어느 한 단위 공정에서 발생한 공정 저해 물질이 다른 단위 공정에 영향을 미치는 것을 방지함으로써 연속적으로 진행되는 반도체 제조 공정중 발생하는 공정 오류를 사전에 방지할 수 있다.

【대표도】

도 4

【색인어】

반도체, 암모니아, 포토레지스트

【명세서】**【발명의 명칭】**

반도체 제조 설비{Equipment for fabricating semiconductor}

【도면의 간단한 설명】

도 1은 종래 반도체 제조 설비의 하나인 인-라인 포토리소그래피 설비의 베이크 유닛에서의 암모니아 농도 변화를 도시한 그래프.

도 2는 본 발명에 의한 반도체 제조 설비의 일실시예인 인-라인 포토리소그래피 설비의 레이아웃을 도시한 평면도.

도 3은 본 발명에 의한 인-라인 포토리소그래피 설비의 부분 절개 사시도.

도 4는 본 발명에 의한 베이크 유닛, 쿨링 유닛, 어드히전 유닛과 공기 흐름과의 위치 관계를 설명하기 위한 측면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 제조 설비에 관한 것으로, 더욱 상세하게는 복수개의 단위 공정 이 스텝 바이 스텝(step by step) 방식으로 연속 진행될 때, 임의의 단위 공정중 발생할 수 밖에 없는 공정 저해 물질에 의해 나머지 단위 공정이 영향 받는 것을 최소화하여 패턴 불량 발생 빈도를 감소시킨 반도체 제조 설비에 관한 것이다.

- <6> 최근들어 컴퓨터 산업, 정보통신 산업, 우주 항공산업에 이르기까지 대부분 산업 발달이 급속히 가속되어 이들 산업에 의하여 생산된 제품은 보다 향상된 작업 성능을 갖추면서도 제품의 크기는 작아지고 있다.
- <7> 이와 같은 각종 산업에서 생산된 제품의 경량, 고성능 추세는 단위 면적당 저장할 수 있는 데이터 수의 비약적 증가는 물론 방대한 데이터를 단위 시간내 처리할 수 있도록 하는 반도체 제품의 성능 향상에 기인한 것으로, 최근에는 더욱 향상된 성능을 갖는 반도체 제품의 개발이 가속되고 있는 실정이다.
- <8> 이와 같은 반도체 제품은 최근들어 회로 선폭이 약 $0.1\mu\text{m}$ 정도 밖에 되지 않을 정도로 매우 정밀하게 제작되는 바, 이와 같은 정밀한 반도체 제품을 생산하기 위해서는 무엇보다도 정밀한 반도체 제조 공정 및 반도체 제조 공정을 정밀하게 수행하는 반도체 제조 설비를 필요로 한다.
- <9> 이들 중 반도체 제조 공정은 약 $0.1\mu\text{m}$ 정도 밖에 되지 않는 선폭을 갖는 회로 패턴을 형성하기 위하여 선행 반도체 제조 공정과 후속 반도체 제조 공정으로 구성된다.
- <10> 구체적으로 선행 반도체 제조 공정으로는 '웨이퍼'라 불리우는 순수 실리콘 기판상에 광에 노출됨으로써 제거 또는 잔류가 가능한 포토레지스트 박막을 형성한 후, 포토레지스트 박막에 회로 패턴대로 개구된 레티클을 위치시킨 후 포토레지스트 박막에 광이 노출되도록 함으로써 웨이퍼 중 회로 패턴이 형성될 부분이 외부에 노출되도록 하는 사진 현상 공정을 예로 들수 있을 것이다.
- <11> 후속 반도체 제조 공정으로는 개구된 부분에 필요한 이온을 주입하는 이온주

입 공정, 다른 특성을 갖는 박막을 증착하는 증착 공정, 에천트 또는 식각 가스로 식각 홈 또는 콘택홀 형성하는 과정을 반복하는 식각 공정, 회로 패턴을 전기적으로 연결하는 메탈 공정 등을 예로 들 수 있다.

<12> 이와 같은 선행 반도체 제조 공정, 후속 반도체 제조 공정은 교대로 진행되면서 반도체 제품의 핵심 부분인 반도체 칩이 제작되고, 반도체 칩에는 외부 기기와 전기적 접속은 물론 반도체 칩을 외부 열악한 환경으로부터 보호하는 역할을 하는 패키지 공정 및 테스트 공정을 거친 후에야 반도체 제품이 제작된다.

<13> 이와 같이 복잡한 여러 공정을 거친 후에야 제작되는 반도체 제품의 회로 선폭이 작아질수록 후속 반도체 제조 공정 보다는 선행 반도체 제조 공정을 진행하는 선행 반도체 제조 설비의 정밀도가 크게 향상되어야 한다.

<14> 특히, 최근에는 복수개의 단위 공정 유닛, 예를 들면, 웨이퍼에 포토레지스트를 도포하는 포토레지스트 도포 유닛, 베이크 유닛, 웨이퍼와 포토레지스트의 접착력을 향상시키는 어드히전 유닛(Adhsion unit), 노광 유닛인 스텝퍼, 포토레지스트 도포 유닛-베이크 유닛-어드히전 유닛 및 인터페이스 유닛 및 현상 유닛까지 인-라인 방식으로 연계된 인-라인 타입 포토리소그래피(In-line type photolithograph) 설비가 개발된 바 있다.

<15> 그러나, 이와 같은 인-라인 타입 포토리소그래피 설비의 경우 웨이퍼가 연속적으로 이동하면서 선행 반도체 제조 공정을 진행함으로써 설비 효율은 극대화할 수 있지만, 단위 공정 유닛 중 어드히전 유닛에 사용되는 화학물질인 헥사메틸디실란(HexaMethylDiSilane;HMDS)으로부터 암모니아(NH_4)가 발생하여 인접한 단위 공정 유닛, 예를 들면, 베이크 유닛에서 공정 불량을 유발하는 문제점을 갖는 바, 문제점을 보다 구

체적으로 설명하면 다음과 같다.

- <16> 도 1에는 한 장의 웨이퍼가 공정 개시로부터 공정 종료 시점까지의 암모니아의 변화량이 도시되어 있는 바, 그래프를 참조하면 일부 구간에서는 암모니아의 변화량이 급격히 변동되고, 암모니아의 변화량 변화가 급격하게 발생하였을 경우, 웨이퍼가 현상 유닛에서 현상까지 종료된 후에는 포토레지스트 박막의 프로파일이 균일한 수직을 이루지 않고 마치 T 형상으로 포토레지스트 박막의 상단이 잔류되는 티 탑(T-top) 현상이 발생하여 포토리소그래피 공정 불량률 유발시키는 문제점을 갖는다.

【발명이 이루고자 하는 기술적 과제】

- <17> 따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 목적은 서로 다른 공정을 수행하는 단위 유닛들이 인접하여 인-라인 방식으로 연속 공정을 진행하면서 임의의 단위 유닛으로부터 발생한 공정 불량 유발 물질이 임의의 단위 유닛과 인접한 다른 단위 유닛에 미치는 영향이 최소가 되도록 함에 있다.
- <18> 본 발명의 다른 목적들은 상세하게 후술될 본 발명의 상세한 설명에 의하여 보다 명확해질 것이다.

【발명의 구성 및 작용】

- <19> 이와 같은 본 발명의 목적을 구현하기 위한 본 발명에 의한 반도체 제조 설비는 청정 공기가 다운 플로우 되는 생산 시설에 설치되며, 소정 반도체 제조 공정 진행 중 공정 저해 가스가 발생하는 제 1 반도체 단위 공정 유닛과, 제 1 반도체 단위 공정 유닛과

연계하여 반도체 공정이 진행되며 공정 저해 가스에 의하여 공정 불량 발생 하는 제 2 반도체 단위 공정 유닛을 포함하며, 제 2 반도체 단위 공정 유닛은 제 1 반도체 단위 공정 유닛 보다 높은 곳에 설치된다.

<20> 이하, 본 발명에 의한 반도체 제조 설비의 보다 구체적인 구성 및 구성에 따른 독특한 작용 및 효과를 첨부된 도면을 참조하여 설명하면 다음과 같으며, 본 발명에서는 바람직한 일실시예로 인-라인 방식 포토리소그래피 설비를 설명하기로 한다.

<21> 첨부된 도 2 내지 도 4에는 본 발명에 의한 인-라인 방식 포토리소그래피 설비가 도시되어 있는 바, 첨부된 도면을 참조하면, 인-라인 방식 포토리소그래피 설비(400)는 전체적으로 보아 포토레지스트 처리 유닛(100), 인터페이스 버퍼 유닛(200) 및 노광 유닛(300)으로 구성된다.

<22> 포토레지스트 처리 유닛(100)은 도 3을 참조하였을 때, 다시 베이스 몸체(110)에 설치된 복수개의 단위 공정 유닛으로 구성된다.

<23> 단위 공정 유닛들은 구체적으로 웨이퍼 카세트 로더/언로더 유닛(120), 웨이퍼 트랜스퍼 유닛(도 2 참조;130), 어드히전 유닛(Adhsion unit,AD;140), 쿨링 유닛(Cooling unit,COL;150), 베이킹 유닛(161,162,163;160), 스핀 코팅 유닛(170), 현상 유닛(180)으로 구성된다.

<24> 이들 단위 공정 유닛 중 웨이퍼 카세트 로더/언로더 유닛(120)은 선행 공정이 종료된 웨이퍼가 로트(lot) 단위로 수납된 적어도 1 개 이상의 웨이퍼 카세트(121)가 로딩/언로딩되는 것이 가능한 유닛으로, 웨이퍼 로딩/언로딩이 용이한 베이스 몸체(110)의 상면 일측 단부에 해당하는 부분에 설치된다.

- <25> 본 발명에서는 일실시예로 웨이퍼 카세트 로더/언로더 유닛(120)에 4 개의 웨이퍼 카세트(121)를 수납하기로 한다.
- <26> 한편, 단위 공정 유닛 중 웨이퍼 카세트 로더/언로더 유닛(120)과 인접한 베이스 몸체(110)의 상면에는 적어도 1 개 이상의 스핀 코팅 유닛(170) 및 현상 유닛(180)이 직렬 방식으로 설치된다.
- <27> 이때, 직렬 방식으로 설치된 스핀 코팅 유닛(170) 및 현상 유닛(180)과 소정 간격을 두고 대향한 곳에는 복수개의 어드히전 유닛(140), 복수개의 쿨링 유닛(150), 복수개의 베이크 유닛(160)이 집합체를 이루며 적층 방식으로 설치된다.
- <28> 이하, 이들 어드히전 유닛(140), 쿨링유닛(150), 베이크 유닛(160)을 보다 구체적으로 설명하면 다음과 같다.
- <29> 어드히전 유닛(140)은 도 4에 AD로 표시된 부분으로, 어드히전 유닛(140)은 소정 용적을 갖는 챔버의 내부에 웨이퍼가 로딩된 상태에서 질소 가스 등을 매개로 기체 상태로 상변화된 헥사메틸디실렌(Hexamethyldisilane;HMDS)을 웨이퍼에 공급하여 포토레지스트 도포 공정 이전에 웨이퍼와 포토레지스트의 부착력을 강화시키는 공정을 진행하는 역할을 수행한다.
- <30> 베이크 유닛(160)은 다시 제 1 베이크 유닛(161), 제 2 베이크 유닛(162) 및 제 3 베이크 유닛(163)으로 구성된다.
- <31> 보다 구체적으로, 제 1 베이크 유닛(161)은 앞서 설명한 스핀 코팅 유닛(170)에서 웨이퍼에 포토레지스트 박막이 도포된 후, 포토레지스트 박막을 1차 경화시키는 역할을 하는 일종의 소프트 베이크 유닛으로 도 4에 HP라 표시된 곳 중 어느 한 곳에서 공정이

진행된다.

<32> 제 2 베이킹 유닛(162)은 포토레지스트 박막이 도포된 웨이퍼에 노광 공정이 진행된 후, 수행되는 포스트 익스포저 베이킹 유닛(Post Exposure Bake unit;PEB)으로 도 4에 PEB라 표시된 곳 중 어느 한곳에서 공정이 진행되며, 제 3 베이킹 유닛(163)은 앞서 설명한 현상 유닛(180)에서 현상이 종료되어 패터닝된 포토레지스트 박막에 수행되는 하드 베이킹 유닛으로 역시 도 4에 HP라 표시된 곳 중 어느 한 곳에서 공정이 진행된다.

<33> 한편, 도 4에 도면부호 164로 도시되었지만, 설명되지 않은 HHP는 보다 높은 베이킹 온도가 요구되는 웨이퍼의 베이킹 공정을 진행하기 위하여 마련된 베이킹 유닛의 하나이다.

<34> 이와 같이 어드히전 유닛(140) 및 제 1, 제 2, 제 3 베이킹 유닛(161,162,163)에서 공정이 진행된 웨이퍼는 도 4에 COL로 도시된 쿨링 유닛(150)에 의하여 상온으로 서냉 공정이 수행된다.

<35> 이때, 도 4에 도시된 바와 같이 어드히전 유닛(140)은 쿨링유닛(150) 및 제 1, 제 2, 제 3 베이킹 유닛(161,162,163)보다 아래쪽에 위치하는 바, 어드히전 유닛(140)의 위치는 절대적인 것이 아니라 본 발명에 의한 인-라인 방식 포토리소그래피 설비(400)가 설치된 생산 라인의 공기 흐름에 의하여 결정된다.

<36> 이와 같이 생산 라인의 공기 흐름에 따라서 어드히전 유닛(140), 쿨링 유닛(150), 베이킹 유닛(160)의 위치를 고려함은 어드히전 유닛(140)의 공정 특성 즉, 어드히전 유닛(140)에서 공정 진행 중 발생하는 암모니아 가스의 흐름에 따라서 포토레지스트 박막 패턴 불량 발생하기 때문이다.

<37> 보다 구체적으로, 생산 라인의 공기 흐름이 도시된 바와 같이 다운 플로우이고, 어드히전 유닛(140)이 베이크 유닛(160) 및 쿨링 유닛(150)보다 높은 곳에 설치될 경우, 어드히전 유닛(140)에서 공정 중 발생한 소량의 암모니아 가스는 공기 흐름을 따라 베이크 유닛(160) 및 쿨링 유닛(150) 방향으로 흘러들어가게 되고 이들 중 베이크 유닛(160) 내부로 암모니아 가스가 유입될 경우 앞서 설명한 바와 같이 포토레지스트 박막에는 티-탑(T-top) 현상이 발생하여 공정 불량에 발생하게 된다.

<38> 본 발명에서는 일실시예로 생산 라인의 공기 흐름이 다운 플로우(down flow) 즉, 청정 공기의 흐름이 천정으로부터 바닥의 흐름을 갖을 때에는 도 4에 도시된 바와 같이 베이스 몸체(110)를 기준으로 베이스 몸체(110)에는 어드히전 유닛(140)이 가장 먼저 설치된 후, 어드히전 유닛(140)의 상면 또는 동일 평면상에 쿨링 유닛(150) 또는 베이크 유닛(160)들이 임의의 순서대로 적층 설치되도록 하여 앞서 설명한 공정 불량을 방지한다.

<39> 이와 같은 이유로 적층된 베이크 유닛(160), 쿨링 유닛(150) 및 어드히전 유닛(140)과 앞서 설명한 스핀 코팅 유닛(170), 현상 유닛(180)의 사이에 형성된 빈 공간에는 베이크 유닛(160)으로부터 쿨링 유닛(150), 어드히전 유닛(140)으로부터 쿨링 유닛(150), 스핀 코팅 유닛(170)으로부터 베이크 유닛(160), 현상 유닛(180)으로부터 베이크 유닛(160)으로 웨이퍼를 이송하는 웨이퍼 트랜스퍼 유닛(130)이 안착되는 바, 웨이퍼 트랜스퍼 유닛(130)은 가이드 레일(131)을 따라 직선왕복운동하는 이송 유닛(132), 이송 유닛(132)에 설치되어 웨이퍼를 로딩/언로딩하기 위하여 공간상에서 자유로운 움직임이 가능한 로봇 암(133)으로 구성된다.

<40> 이와 같은 구성을 갖는 포토레지스트 처리 유닛(100)과 인접한 곳에는 다시 노광

유닛(300)의 하나인 스텝퍼(steeper) 또는 스캔 방식 노광 유닛이 설치되고, 노광 유닛(300)과 포토레지스트 처리 유닛(100)의 사이에는 포토레지스트 처리 유닛(100)으로부터 노광 유닛(300)으로 노광 유닛(300)으로부터 포토레지스트 처리 유닛(100)으로 웨이퍼가 이송되도록 하는 인터페이스 버퍼 유닛(200)이 설치된다.

<41> 이하, 본 발명에 의한 반도체 제조 설비의 하나인 인-라인 방식 포토리소그래피 설비(400)의 작용을 한 매의 웨이퍼에 포토레지스트 박막을 형성하는 과정을 일실시예로 첨부된 도면을 참조하여 설명하면 다음과 같다.

<42> 먼저, 웨이퍼 카세트 로더/언로더 유닛(120)으로부터 웨이퍼 트랜스퍼 유닛(130)의 로봇 암(133)에 의하여 언로딩된 한 장의 웨이퍼는 가장 먼저, 베이스 몸체(110)에 직접 설치된 복수개의 어드히전 유닛(140) 중 어느 하나에 로딩된 후, HMDS 가스에 의하여 웨이퍼와 포토레지스트 박막의 부착력을 상승시키는 공정이 진행된다.

<43> 이처럼 웨이퍼와 포토레지스트 박막의 부착력을 상승시키는 공정 진행중 발생한 암모니아 가스는 다운 플로우를 갖는 공기의 흐름에 의하여 베이크 유닛(160) 또는 쿨링 유닛(150)에 어떠한 영향도 미치지 않은 상태에서 그대로 배기된다.

<44> 이후, 어드히전 유닛(140)에서 공정이 종료된 웨이퍼는 다시 웨이퍼 트랜스퍼 유닛(130)에 의하여 쿨링 유닛(150)으로 이송되어 서냉되고, 이후, 서냉된 웨이퍼는 다시 스펀 코팅 유닛(170)으로 이송되어 웨이퍼에는 포토레지스트 박막이 형성된다.

<45> 이어서, 포토레지스트 박막이 형성된 웨이퍼는 다시 제 1 베이크 유닛(161)으로 이송되어 소프트 베이크 공정이 진행된 후, 다시 쿨링 유닛(150)으로 이송되어 서냉된다.

<46> 이후, 소프트 베이크 공정까지 종료된 웨이퍼는 인터페이스 버퍼 유닛(200)으로 이

송된 후, 노광 유닛(300)으로 이송되어 소정 패턴 형상대로 노광 공정이 수행된다.

<47> 노광 공정까지 종료된 웨이퍼는 다시 인터페이스 버퍼 유닛(200)을 거쳐 제 2 베이 크 유닛(162)으로 이송되어 포스트 익스포우저 베이크 공정이 진행된다.

<48> 포스트 익스포우저 베이크 공정이 종료된 웨이퍼는 다시 웨이퍼 트랜스퍼 유닛 (130)에 의하여 쿨링 유닛(150)으로 이송되어 서냉된 후, 현상 유닛(180)중 어느 하나로 이송되어 현상 공정이 진행됨으로써 빛에 노출된 포토레지스트 박막이 현상 되도록 한다

<49> 이후, 현상 공정까지 진행된 웨이퍼는 다시 웨이퍼 트랜스퍼 유닛(130)에 의하여 제 3 베이 크 유닛(163)으로 이송된 후 하드 베이 크 공정이 진행된다.

<50> 이후, 하드 베이 크 공정이 진행된 웨이퍼는 다시 쿨링 유닛(150)으로 이송된 후 웨 이퍼 카세트 로딩/언로딩 유닛으로 이송된다.

【발명의 효과】

<51> 이상에서 상세하게 설명한 바에 의하면, 반도체 제조 설비에서 각기 다른 복수개의 단위 공정이 동시에 진행될 때, 임의의 어느 한 단위 공정에서 발생한 공정 저해 물질 이 다른 단위 공정에 영향을 미치는 것을 방지함으로써 연속적으로 진행되는 반도체 제 조 공정중 발생하는 공정 오류를 사전에 방지할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

청정 공기가 다운 플로우 되는 생산 시설에 설치되며, 소정 반도체 제조 공정 진행 중 공정 저해 가스가 발생하는 제 1 반도체 단위 공정 유닛과;

상기 제 1 반도체 단위 공정 유닛과 연계하여 반도체 공정이 진행되며 상기 공정 저해 가스에 의하여 공정 불량 발생하는 제 2 반도체 단위 공정 유닛을 포함하며,

상기 제 2 반도체 단위 공정 유닛은 상기 제 1 반도체 단위 공정 유닛 보다 높은 곳에 설치된 반도체 제조 설비.

【청구항 2】

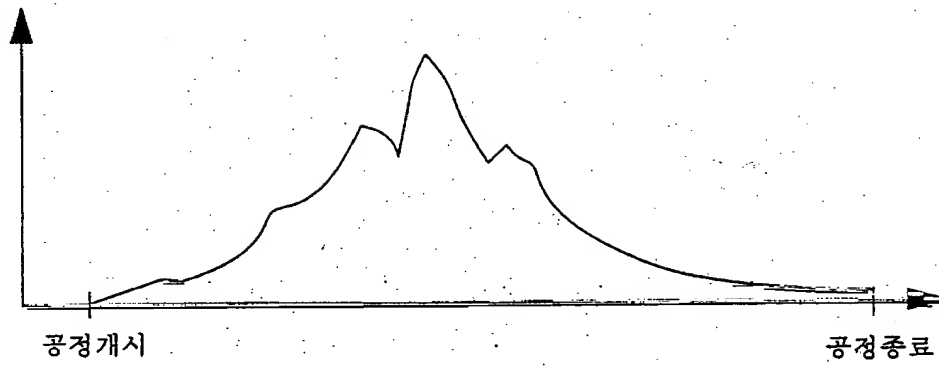
제 1 항에 있어서, 상기 제 1 반도체 단위 공정 유닛은 웨이퍼에 포토레지스트 박막을 도포할 때 상기 웨이퍼와 상기 포토레지스트 박막의 부착력을 강화하는 부착력 강화 물질이 공급되는 어드히전 챔버를 포함하는 어드히전 유닛(Adhsion unit)이고, 상기 제 2 반도체 단위 공정 유닛은 상기 포토레지스트 박막이 형성된 웨이퍼를 베이킹하는 베이킹 유닛(bake unit)인 반도체 제조 설비.

【청구항 3】

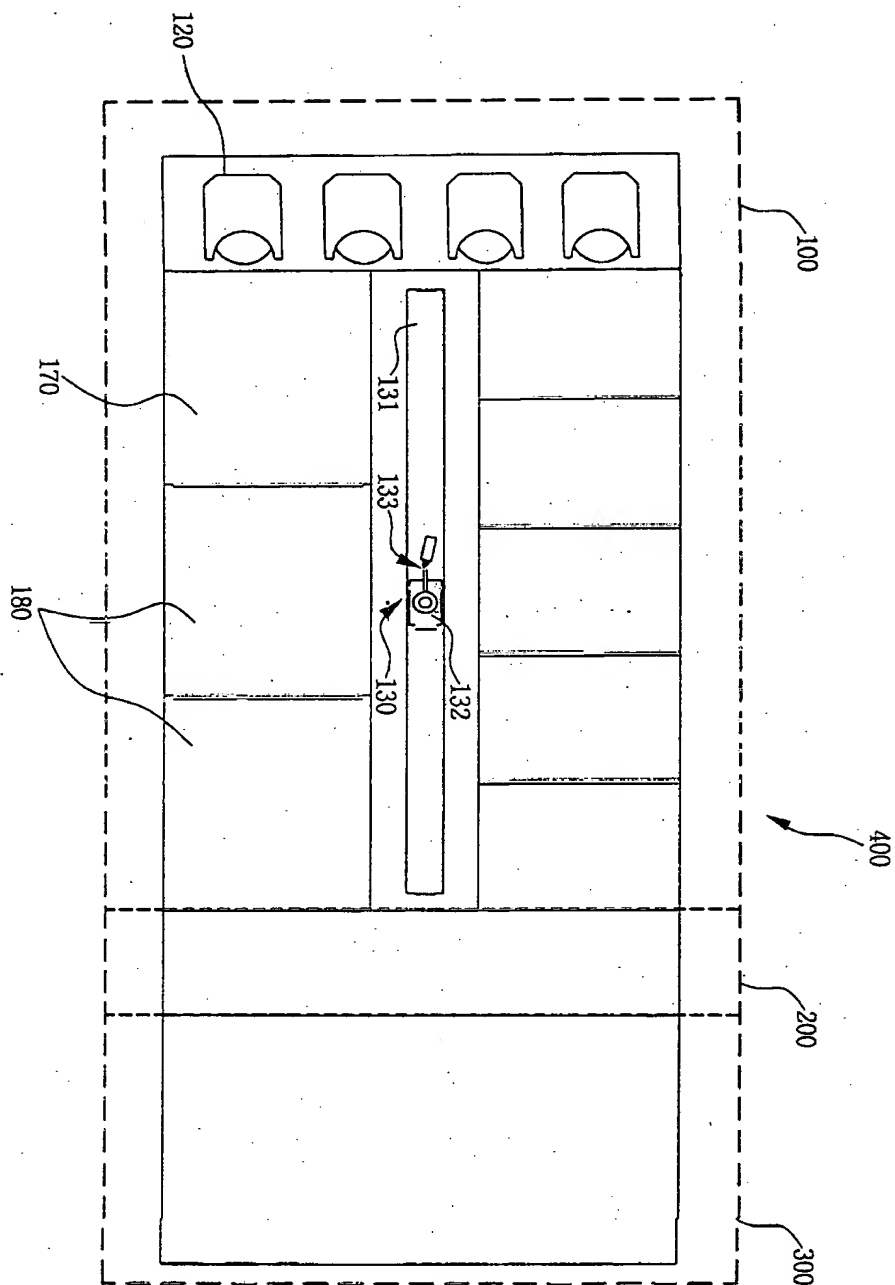
제 1 항에 있어서, 상기 공정 저해 가스는 암모니아(NH_3)인 반도체 제조 설비.

【도면】

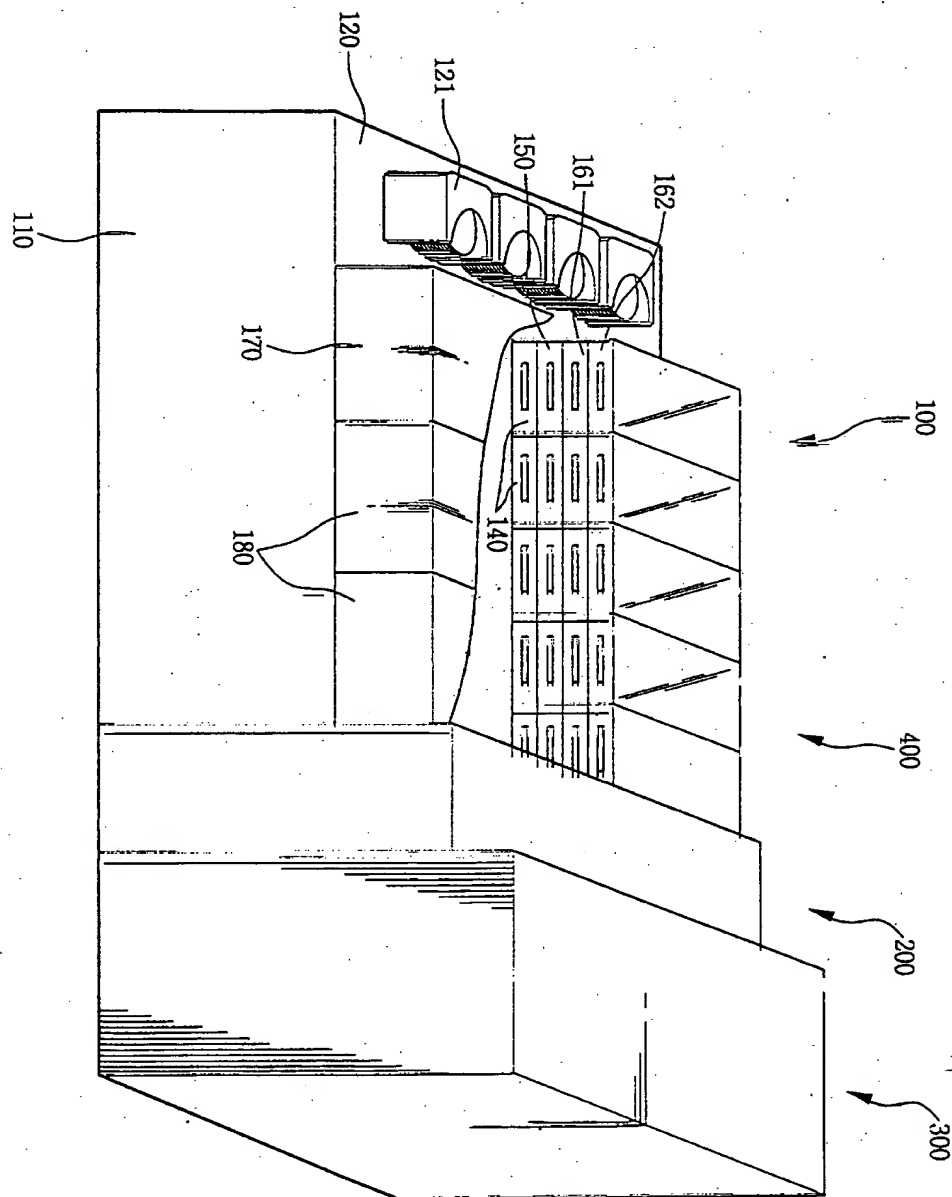
【도 1】



【도 2】



【도 3】



【도 4】

